

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-190679

(43)Date of publication of application : 09.07.1992

(51)Int.Cl.

H02M 7/537

H02M 5/45

H02M 7/515

(21)Application number : 02-319800

(71)Applicant : HONDA MOTOR CO LTD

(22)Date of filing : 22.11.1990

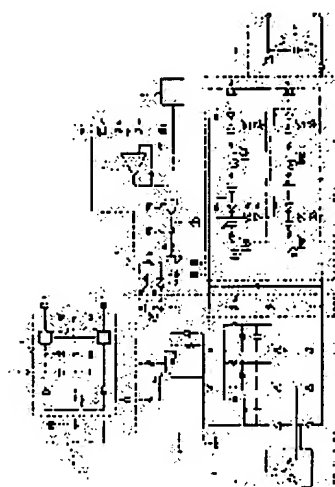
(72)Inventor : SHIMIZU MOTOHISA
NAKAMURA MASAFUMI

(54) INVERTER-CONTROLLED ENGINE GENERATOR

(57)Abstract:

PURPOSE: To suppress the unstable actuation of an inverter circuit in an early stage after starting an engine by inhibiting feedback control while the rotating speed of the engine is low at the time of starting the engine, and so forth, so that no rectified output can be supplied to the inverter circuit from a DC voltage control circuit.

CONSTITUTION: Immediately after an engine is started, the voltage across the input terminal of a constant-voltage circuit 5a is low and the Zener diode D1 of a transient control circuit 7 is not conducted, and then, the output of an inversional comparator 701 becomes a high level, since the output voltage of an AC generator is low. Then the output of an NOR circuit 702 becomes a low level and conducts a transistor Q3 after it is inverted by means of an inverter 703. As a result, the electric charges accumulated in 5 capacitor C2 are discharged. Then a transistor Q4 is nonconducted and the potential at a connecting point K becomes a low level. Accordingly, the transistors Q1 and Q2 of a thyristor control circuit 6 are respectively nonconducted and conducted and a low-level signal is supplied to the gate of each thyristor of a bridge rectifier circuit 3. When the low-level signal is supplied, each thyristor is not conducted and the circuit 3 does not supply its rectified output.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

THIS PAGE BLANK (USPTO)

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-190679

⑬ Int. Cl.⁸

H 02 M 7/537
5/45
7/515

識別記号

庁内整理番号

E 8730-5H
C 7154-5H
J 8730-5H

⑭ 公開 平成4年(1992)7月9日

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 インバータ制御式エンジン発電機

⑯ 特 願 平2-319800

⑰ 出 願 平2(1990)11月22日

⑱ 発 明 者 清水 元 寿 埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内

⑲ 発 明 者 中 村 政 史 埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内

⑳ 出 願 人 本田技研工業株式会社 東京都港区南青山2丁目1番1号

㉑ 代 理 人 弁理士 渡部 敏彦

明 細 書

1. 発明の名称

インバータ制御式エンジン発電機

2. 特許請求の範囲

1. エンジンと、このエンジンで駆動される発電機と、この発電機の出力巻線の交流出力を整流して所定の直流電圧に維持する直流電圧制御回路と、この直流電圧制御回路からの出力電力を所定周波数の交流出力電力に変換するインバータ回路とを有するインバータ制御式エンジン発電機において、前記直流電圧制御回路は、前記エンジンの回転数が定格運転時の回転数よりも低い値に設定した設定値以下のときには前記所定の直流電圧に維持するためのフィードバック制御を禁止して整流出力を前記インバータ回路へ供給しないように構成するとともに、前記エンジンの回転数が前記設定値を超えたときから前記フィードバック制御をソフトスタートさせることにより前記直流電圧制御回路の導通制御量を徐々に増加させて前記

所定の直流電圧にまで至らしめるように構成することを特徴とするインバータ制御式エンジン発電機。

2. 前記直流電圧制御回路を、サイリスタブリッジ回路で構成するとともに、前記エンジンの回転数が前記設定値を超えた後は前記サイリスタブリッジ回路のゲート入力信号を所定のフィードバック制御入力値まで徐々に上昇させるように構成することを特徴とする請求項1記載のインバータ制御式エンジン発電機。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、携帯用の交流電源装置等を使用されるインバータ制御方式のエンジン発電機に関する。(従来の技術)

近年、携帯用の交流電源装置には、出力周波数を安定化させるためにインバータ装置を使用することが多くなってきており、例えばエンジンで駆動される交流発電機によって商用周波数の交流電力を出力する携帯用電源装置においては、エンジ

ンを回転数の高い領域にて運転させて発電機から高出力の交流電流を得、この交流電流を一旦直流に変換した後、インバータ装置により商用周波数の交流に変換して出力するようにした装置が、実開昭59-132398号公報等によって知られている。

(発明が解決しようとする課題)

ところで、インバータ装置を駆動するための駆動電源は一般に発電機出力に頼っており、且つエンジンの始動初期における発電機の低速回転域では発電機出力が十分でないことにより、エンジン始動時にインバータ装置の駆動電源の電源電圧が不安定になり易い。特にインバータ装置がFETブリッジ回路で構成される場合において、上記のような電源電圧が不安定な状態にあるときには、本来オフしているべきFETが外乱等で不規則にオン動作しないように構成する必要があり、対策にたいへん苦慮していた。

本発明は、上記事情に鑑みてなされたもので、エンジンの始動初期におけるインバータ回路の不

安定動作を抑制したインバータ制御式エンジン発電機を提供することを目的とする。

(課題を解決するための手段)

上記目的を達成するために本発明によれば、エンジンと、このエンジンで駆動される発電機と、この発電機の出力巻線の交流出力を整流して所定の直流電圧に維持する直流電圧制御回路と、この直流電圧制御回路からの出力電力を所定周波数の交流出力電力に変換するインバータ回路とを有するインバータ制御式エンジン発電機において、前記直流電圧制御回路は、前記エンジンの回転数が定格運転時の回転数よりも低い値に設定した設定値以下のときには前記所定の直流電圧に維持するためのフィードバック制御を禁止して整流出力を前記インバータ回路へ供給しないように構成するとともに、前記エンジンの回転数が前記設定値を超えたときから前記フィードバック制御をソフトスタートさせることにより前記直流電圧制御回路の導通制御量を徐々に増加させて前記所定の直流電圧にまで至らしめるように構成することを特徴

とするインバータ制御式エンジン発電機が提供される。

(作用)

エンジンで駆動される発電機の出力巻線からの交流出力は、直流電圧制御回路で整流されて所定の直流電圧に維持されるようにフィードバック制御が行われ、続くインバータ回路で所定周波数の交流出力電力に変換される。直流電圧制御回路では、エンジンの回転数が定格運転時の回転数よりも低く設定した設定値を超えていることを条件として前記所定の直流電圧に維持するようにフィードバック制御が行われる。エンジンの始動時等の回転数が低い時点では前記フィードバック制御は禁止され、前記直流電圧制御回路からの整流出力はインバータ回路へ供給されない。エンジンの回転数が前記設定値を超えたときから前記フィードバック制御をソフトスタートさせることにより直流変換制御回路の導通制御量を徐々に増加させて前記所定の直流電圧にまで至らしめるようにする。

(実施例)

以下、本発明の実施例を添付図面を参照して説明する。

第1図は、本発明に係るインバータ制御式エンジン発電機の全体構成図であり、図中1、2はそれぞれ交流発電機の固定子に独立して巻装された出力巻線であり、1は三相出力巻線、2は単相補助巻線である。また回転子(図示せず)には多極の永久磁石の磁極が形成されており、エンジン(図示せず)によって回転駆動されるように構成されている。三相出力巻線1の出力端は、3つのサイリスタと3つのダイオードとで構成されるブリッジ整流回路3に接続され、ブリッジ整流回路3の出力端は平滑回路4に接続される。

単相補助巻線2の出力端は、正負両極出力端子E、Fを有する定電圧供給装置5に接続される。定電圧供給装置5は2組の整流回路、平滑回路、定電圧回路5aから成り、単相補助巻線2からの一方向の電流に対しては一方の組の各回路が働き、反対の方向の電流に対しては他方の組の各回

路が動き、これによって出力端子E、Fに夫々正負の定電圧が出力される。

6はサイリスタ制御回路であり、電源入力側の一端が定電圧供給装置5の正極出力端子Eに接続され、他端が平滑回路4の正極側端子とともに接地される。サイリスタ制御回路6の信号入力端はコンデンサC1、抵抗R1～R3の直列回路で構成され、コンデンサC1側の一端は定電圧供給装置5の正極出力端子Eに接続され、抵抗R3側の他端は平滑回路4の負極側端子に接続される。抵抗R1と抵抗R2との接続点はトランジスタQ1のベースに、このトランジスタQ1のコレクタはトランジスタQ2のベースに、このトランジスタQ2のコレクタはブリッジ整流回路3の各サイリスタのゲート入力回路に接続され、抵抗R1と抵抗R2との接続点の電位に応じてゲート入力回路の入力信号を制御するように構成されている(サイリスタ制御回路6に関する詳細な説明は、本願出願人による特願平1-230908号に開示されるのでここでは省略する)。

る。トランジスタQ3のエミッタは定電圧供給装置5の負極出力端子Fに接続され、一方コレクタは、抵抗R7を介して定電圧供給装置5の正極出力端子Eに接続されるとともにコンデンサC2を介して定電圧供給装置5の負極出力端子Fに接続される。コンデンサC2の正極端子にはトランジスタQ4のベースが接続され、トランジスタQ4のコレクタは定電圧供給装置5の正極出力端子Eに接続され、一方エミッタは、ダイオードD2のアノードに接続されるとともにサイリスタ制御回路6のコンデンサC1と抵抗R1との接続点Kに接続される。ダイオードD2のカソードはコンデンサC2の正極端子に接続される。

ブリッジ整流回路3、サイリスタ制御回路6及び過渡抑制回路7が直流電圧制御回路を構成する。

平滑回路4の出力側はインバータ回路9に接続される。インバータ回路9は4つのFET(電界効果トランジスタ)Q5～Q8から成るブリッジ回路で構成される。FETQ5～Q8の各ゲート端子に接続される駆動信号回路に関しては後述す

コンデンサC1と抵抗R1との接続点Kには過渡抑制回路7の出力側が接続される。過渡抑制回路7は、本発明の主要部に係るものであり次のように構成される。即ち、定電圧供給装置5の正極出力端子E側に設けられた定電圧回路5aの入力側(G)にツェナーダイオードD1のカソード側が接続され、ツェナーダイオードD1のアノード側が抵抗R4、R5を介して定電圧供給装置5の負極出力端子Fに接続される。抵抗R4、R5の接続点はオペアンプから成る反転比較器701の反転端子(-)に接続され、反転比較器701の非反転端子(+)は抵抗を介して接地される。反転比較器701の出力側はNOR回路702の入力側に接続され、一方NOR回路702の入力側のもう1つの端子にはエンジン発電機の過電流状態等の、保護が必要な状態になっていることを検出するための保護装置8が接続され、保護が必要な状態を検出した時に高レベル信号がNOR回路702に供給される。NOR回路702の出力側はインバータ703、抵抗R6を介してトランジスタQ3のベースに接続され

る。

インバータ回路9の出力側はローパスフィルタから成る出力回路10を介して負荷(図示せず)が接続される出力端子11、12に接続される。

出力端子11、12の両端(ローパスフィルタを構成するコンデンサの両端H)は、分割抵抗や差動アンプから成る検出回路13に接続される。検出回路13は、出力端子11、12に現れる出力電圧の波形どうしを直接比較することによって出力の波形歪みあるいはオフセット成分を検出し、検出信号を出力するものである。

14は商用周波数、例えば50Hzまたは60Hzの正弦波を発生する正弦波発振器である。この正弦波発振器14の出力側と検出回路13の出力側とは差動アンプ15に接続される。差動アンプ15は、正弦波発振器14から出力される正弦波の振幅基準レベルを検出回路13から出力される検出信号で補正し、補正された正弦波信号を出力するものである。

16は矩形波発振器であり、この矩形波発振器

16で発振される矩形波の周波数は正弦波発振器14から出力される正弦波の周波数よりも格段に大きい値に設定される。矩形波発振器16の出力側は積分回路17に接続され、積分回路17は矩形波を積分して三角波信号に変換する。

差動アンプ15から出力される補正された正弦波信号と積分回路17から出力される三角波信号とは重畳されてインバータバッファ18に供給される。インバータバッファ18は所定のしきい値(スレッショールドレベル)を有し、このしきい値を越えたレベルの信号が入力したときは低レベルの信号を出力し、一方しきい値以下のレベルの信号が入力したときは高レベルの信号を出力し、いわゆるパルス幅変調(PWM)信号を形成するものであり、例えばゲート端子への入力信号に対し固定されたしきい値を有するC-MOSゲートICで構成する。

インバータバッファ18の出力側は、インバータ19を経てNAND回路20の一方の入力端に入力するとともにそのまま直接NAND回路21の一方の

入力端にも入力する。NAND回路20の他方の入力端とNAND回路21の他方の入力端には過渡抑制回路7のNOR回路702の出力端Jが接続される。

NAND回路20, 21の各出力側はFETゲート駆動信号用回路22, 23に夫々接続される。FETゲート駆動信号用回路22はプッシュプル増幅器、サージ吸収用ダイオード、低周波成分カット用のコンデンサC3、パルストランスA, Cの一次側コイルから構成され、同様にFETゲート駆動信号用回路23はプッシュプル増幅器、サージ吸収用ダイオード、低周波成分カット用のコンデンサC4、パルストランスB, Dの一次側コイルから構成される。

パルストランスAの二次側コイル(インバータ回路9内に表示)は減衰抵抗、復調用のコンデンサC5、双方向電圧規制ダイオードD3, D4を介してFETQ5のゲートに接続される。パルストランスB, C, Dの各二次側コイルも、パルストランスAの二次側回路と全く同様な回路を介してFETQ6, Q7, Q8の各ゲートに夫々接

続される。

次に、以上のように構成されるインバータ制御式エンジン発電機の作動について説明する。

エンジンの駆動に伴い三相出力巻線1から出力された三相交流電力はブリッジ整流回路3で整流され、続く平滑回路4で平滑されて直流電力に変換されるとともに、平滑回路4での直流電圧の変動が抵抗R2, R3を介してサイリスタ制御回路6で検出され、その検出信号に基づいてブリッジ整流回路3の各サイリスタの導通角(導通制御量)を制御することにより平滑回路4の出力電圧が所定の直流電圧に安定に維持されるようなフィードバック制御が行われる。なおサイリスタ制御回路6には過渡抑制回路7からの出力信号も入力するが、この信号に基づくサイリスタ制御回路6及びブリッジ整流回路3の作動については後に詳述する。

インバータ回路9のFETQ5, Q7及びFETQ6, Q8のゲートには後述するパルス幅変調信号(PWM)信号が入力され、このPWM信号

に応じてFETQ5, Q7及びFETQ6, Q8を交互に導通させることにより平滑回路4の直流出力をスイッチング制御して出力回路10へ出力させる。出力回路10は高周波成分をカットして商用周波数の交流電力を出力端子1, 12から負荷に供給する。

出力端子11に現れる出力電圧の波形と出力端子12に現れる出力電圧の波形は、検出回路13で比較され、その差、即ち出力電圧の波形の歪みあるいはオフセット成分が検出され、その検出信号が差動アンプ15に出力される。

差動アンプ15は、正弦波発振器14から出力された商用周波数の正弦波信号と検出回路13から出力された出力電圧の波形の歪みあるいは直流オフセット分等を含んだフィードバック信号とを比較し、このフィードバック信号によって正弦波信号の振幅基準レベルを補正し、この補正された正弦波信号を出力する。

矩形波発振器16から出力された矩形波信号は積分回路17で積分されて三角波信号に変換され

る。この三角波信号と差動アンプ 15 からの補正正弦波信号とが重畳されて重畳信号が形成され、インバータバッファ 18 に入力される。インバータバッファ 18 では、重畳信号がしきい値を越えるときには低レベルの信号を出力し、一方しきい値以下のときには高レベルの信号を出力して、結果的に三角波信号を搬送波とし、補正正弦波によりパルス幅変調された PWM 信号を出力することとなる。この PWM 信号は、補正された正弦波信号に基づき形成されるため、前記出力電圧の歪み及びオフセット成分を減少させることが可能となるとともに、応答時間がコンパレータ (約 1μ sec) に比べ格段に速いインバータバッファ (約 50 nsec) を PWM 信号の形成に使用するため搬送波の周波数をより高くすることが可能となり、これにより出力波形をより正弦波に近似させた、より高品質の交流電力を供給することを可能ならしめる。

インバータバッファ 18 から出力された PWM 信号は一方はインバータ 19 で反転されて NAND 回

路 20 へ、他方はそのまま NAND 回路 21 へ入力される。NAND 回路 20, 21 には過渡抑制回路 7 から、過電流状態等の保護が必要な状態が検出された時またはエンジン始動時等の低回転状態が検出された時に低レベル信号が供給され、この時には NAND 回路 20, 21 の出力は PWM 信号のいかに拘らず高レベル信号となり、この状態が継続されるため PWM 信号は伝送されない。一方、保護を必要とする状態が検出されずかつエンジン回転数も低回転でないときには過渡抑制回路 7 から高レベル信号が供給され、この時には NAND 回路 20, 21 は夫々入力した反転または非反転 PWM 信号に応じて夫々反転または非反転 PWM 信号を反転した信号を出力し、FET ゲート駆動信号用回路 22 には PWM 信号が、また FET ゲート駆動信号用回路 23 には反転した PWM 信号が供給される。

FET ゲート駆動信号用回路 22 では、PWM 信号は、プッシュプル増幅された後、コンデンサ C3 で低周波成分、即ち商用周波数成分がカット

される。コンデンサ C3 を通過する直前の信号は基準レベルに対し振幅一定の PWM 信号であるが、この信号の平均電圧 (積分値) は、正弦波発振器 14 からの正弦波と同一の周期で変化しており、従ってこの PWM 信号はこの正弦波と同一の周波数 (商用周波数) 成分を含んでいる。この PWM 信号がコンデンサ C3 を通過した後は商用周波数成分とは逆相にパルス列全体が上下して平均電圧が常時零であるパルス信号列に変換される。

この平均電圧が常時零であるパルス信号列がバラストランス A, C の各一次コイルに供給されるので、バラストランス A, C を構成するトランスコアには、商用周波数成分による磁気飽和の悪影響がほとんどなくなり、従ってトランス A, C は、PWM 搬送周波数で磁気飽和しない程度の小型サイズのもので構成することが可能となる。

FET ゲート駆動信号用回路 23 の作動も上記 FET ゲート駆動信号用回路 22 の作動と全く同様である。

バラストランス A の二次コイルから出力したパ

ルス信号はツェナーダイオード D3, D4 の各降伏電圧と比較され、各降伏電圧を越えた分によりコンデンサ C5 が充放電され、コンデンサ C5 の両端には各降伏電圧を越えた分による平均電圧 (これは商用周波数を有する) が現れる。従って、FET Q5 のゲート・ソース間には、商用周波数を有するコンデンサ C5 の両端電圧と、バラストランス A の二次コイルから出力したパルス信号とが重畳した信号、即ちコンデンサ C3 を通過前の PWM 信号が復調される。FET Q5 は、PWM 信号の正パルスがゲートに入力されている間だけ導通する。

バラストランス C の二次コイルから出力したパルス信号も上述のバラストランス A の二次コイルから出力したパルス信号と全く同様に処理され、FET Q7 の導通は FET Q5 の導通と同じタイミングで行われる。

バラストランス B, D の二次コイルから出力したパルス信号も上述のバラストランス A, C の二次コイルから出力したパルス信号と全く同様に処

理される。但しパルストランスB、Dに inputsするPWM信号とパルストランスA、Cに inputsするPWM信号とは位相が逆であるから、FETQ5、Q7が導通するときはFETQ6、Q8が非導通となり、反対にFETQ5、Q7が非導通となるときはFETQ6、Q8が導通するように作動する。

以上のように、出力波形に基づきフィードバック補正された商用周波数の正弦波を高周波の三角波でパルス幅変調し、このパルス幅変調信号に基づきインバータ回路9でスイッチング制御が行われ、その後出力回路10で搬送周波数成分がカットされ、ほぼ正弦波に近似した商用周波数の交流電力が出力端子11、12から負荷に供給される。

以上のインバータ回路9及び検出回路13乃至FETゲート駆動信号用回路23の構成及び作動に関するより詳細な説明は、既に平成2年11月13日付で本願出願人により出願されたインバータ装置に記載されている。

次に本発明に係る過渡抑制回路7の作動を説明

従ってサイリスタ制御回路6のトランジスタQ1は非導通となり、トランジスタQ2は導通となり、ブリッジ整流回路3の各サイリスタのゲートには低レベル信号が供給される。これにより、各サイリスタは導通せず、ブリッジ整流回路3は整流出力を供給しない。即ち、エンジン回転数が設定値以下であるか、または保護が必要な状態が検出されたときにはブリッジ整流回路3は整流出力を供給しないようにされ、これによりエンジン始動時におけるインバータ回路の不安定動作が抑制されるとともに過負荷による過電流状態等の、保護が必要とされる状態が検出された時の出力供給も停止される。

次に、エンジン始動後、交流発電機の出力電圧が徐々に上昇し、定電圧回路5aの入力端の電圧が高くなり、ツェナーダイオードD1の降伏電圧を越えると、即ちエンジン回転数が設定値を越えるとツェナーダイオードD1は導通し、反転比較器701の反転端子(−)は高レベルに転じ、反転比較器701の出力は低レベルとなる。

する。

エンジン始動直後は交流発電機の出力電圧が低いため、定電圧供給装置5を構成する定電圧回路5aの入力端の電圧は低く、従って始動当初、ツェナーダイオードD1の降伏電圧(定格運転時の回転数よりも低い値に設定したエンジン回転数の設定値に相当)を越えることはなく、ツェナーダイオードD1は非導通である。そのため反転比較器701の反転端子(−)は低レベルであり、反転比較器701の出力は高レベルとなる。

NOR回路702は入力側の少なくとも一方に高レベル信号が入力すれば低レベル信号を出力するので、NOR回路702の出力は、反転比較器701の高レベル出力または保護装置8の高レベル出力で低レベルとなる。

この低レベル信号がインバータ703で反転されて高レベル信号となり、トランジスタQ3を導通してコンデンサC2を放電させる。従ってトランジスタQ4は非導通となり、コンデンサC1と抵抗R1との接続点Kの電位は低レベルとなる。

このとき保護が必要な状態が検出されていなければ、NOR回路702の出力は高レベルに転じ、インバータ703の出力は低レベルとなる。従ってトランジスタQ3は非導通となり、コンデンサC2は抵抗R7を介して充電される。この充電によりコンデンサC2の正極側電位は、コンデンサC2の容量及び抵抗R7の抵抗値で決まる時定数に基づき徐々に上昇する。コンデンサC2の正極側電位の上昇によりトランジスタQ4が導通するが、このトランジスタQ4の導通によりトランジスタQ4のエミッタ電位が上昇してトランジスタQ4のベース電位より高くなるようなことがあればトランジスタQ4は非導通に転じるので、K点の電位はコンデンサC2の正極側電位より僅か低い値に常時維持されることになる。即ちK点の電位は、エンジン回転数が設定値を越えた時点以降、コンデンサC2の容量及び抵抗R7の抵抗値で決まる時定数に基づき徐々に上昇することとなる。

従って、トランジスタQ1のベース・エミッタ間電圧は徐々に上昇してトランジスタQ1は徐々

に導通し、トランジスタ Q 2 は徐々に非導通となり、ブリッジ整流回路 3 の各サイリスタに流入するゲート電圧は徐々に上昇し、徐々に導通角を広げていくことになる。そして最終的に K 点電位が略定電圧供給装置 5 の正極出力電位に至り、各サイリスタのゲート電圧は抵抗 R 1 と抵抗 R 2 との接続点の電位を所定値に維持するための所定のフィードバック制御入力値に至る。

斯くして、たとえエンジン始動のとき出力端子 1 1, 1 2 に負荷が接続されたままの状態であってもブリッジ整流回路 3 の各サイリスタに急激に電流が突入することを防止できるものである。それと同時に、ブリッジ整流回路 3 の各サイリスタに流入するゲート電圧が徐々に上昇するように制御されることにより、平滑回路 4 の直流出力はエンジン始動後徐々に上昇し、これによりインバータ回路 9 の各 F E T に対して急激な電圧変化が加わることも防止される。こうした防止効果は、エンジン始動時に出力端子 1 1, 1 2 に接続されている負荷が大きい程大きく、特に負荷が短絡状態

にある場合にはサイリスタや F E T に対する悪影響の抑制効果がきわめて大きい。

(発明の効果)

以上詳述したように本発明は、エンジンと、このエンジンで駆動される発電機と、この発電機の出力巻線の交流出力を整流して所定の直流電圧に維持する直流電圧制御回路と、この直流電圧制御回路からの出力電力を所定周波数の交流出力電力に変換するインバータ回路とを有するインバータ制御式エンジン発電機において、前記直流電圧制御回路は、前記エンジンの回転数が定格運転時の回転数よりも低い値に設定した設定値以下のときには前記所定の直流電圧に維持するためのフィードバック制御を禁止して整流出力を前記インバータ回路へ供給しないように構成するとともに、前記エンジンの回転数が前記設定値を越えたときから前記フィードバック制御をソフトスタートさせることにより前記直流電圧制御回路の導通制御量を徐々に増加させて前記所定の直流電圧にまで至らしめるように構成するので、エンジン始動時に

おけるインバータ回路の不安定動作を抑制することができるとともに、急激な出力電圧の立上がりも抑制されるため、たとえ負荷が出力端子に接続されたまま始動操作が行われたとしても、各電力素子への過渡的負担は大幅に低減され得、各電力素子の劣化の要因を除くことができる。

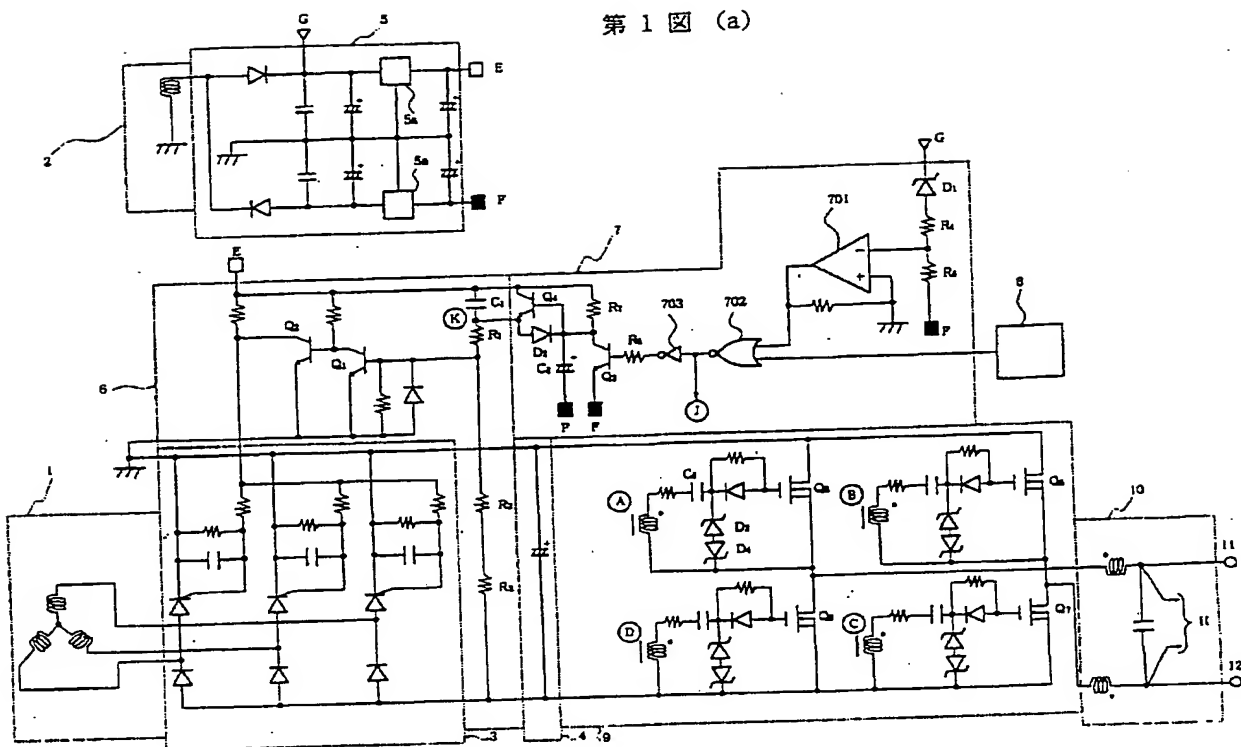
4. 図面の簡単な説明

第 1 図は本発明に係るインバータ制御式エンジン発電機の全体構成図である。

- 1, 2…三相出力巻線、単相補助巻線（発電機）、
3, 6, 7…ブリッジ整流回路、サイリスタ制御回路、過渡抑制回路（直流電圧制御回路）、
9…インバータ回路。

出願人 本田技研工業株式会社
代理人 弁理士 渡部敏彦
同 弁理士 木内修

第 1 図 (a)



第 1 図 (b)

